

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

5/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

008039623 \*\*Image available\*\*

WPI Acc No: 1989-304735/198942

Packet transmission device with diversified quality demands - delivers  
less delaying class packet with preference without restricting packet  
traffic for extensive use NoAbstract Dwg 2/5

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1225261	A	19890908	JP 8850808	A	19880304	198942 B

Priority Applications (No Type Date): JP 8850808 A 19880304

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1225261	A	4		

Title Terms: PACKET; TRANSMISSION; DEVICE; DIVERSE; QUALITY; DEMAND;  
DELIVER; LESS; DELAY; CLASS; PACKET; PREFER; RESTRICT; PACKET; TRAFFIC;  
EXTEND; NOABSTRACT

Derwent Class: W01

International Patent Class (Additional): H04L-011/20

File Segment: EPI

5/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

02927661 \*\*Image available\*\*

PACKET TRANSMITTING DEVICE

PUB. NO.: 01-225261 JP 1225261 A]

PUBLISHED: September 08, 1989 (19890908)

INVENTOR(s): OKADA TADANOBU

ONISHI KOICHI

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese  
Company or Corporation), JP (Japan)

APPL. NO.: 63-050808 [JP 8850808]

FILED: March 04, 1988 (19880304)

INTL CLASS: [4] H04L-011/20

JAPIO CLASS: 44.3 (COMMUNICATION -- Telegraphy)

JOURNAL: Section: E, Section No. 855, Vol. 13, No. 544, Pg. 104,  
December 06, 1989 (19891206)

#### ABSTRACT

PURPOSE: To process a packet without limiting traffic by sending the packet  
of a small delay class with priority normally and when the packet of a  
small loss class is accumulated in a sending matrix for a long time,  
sending such a packet with the priority.

CONSTITUTION: For a matrix control circuit 170. by the output of a header  
analyzing circuit 120, the packet of the small delay class to have a severe  
request to a delay time is read from a memory 140 and outputted with the  
priority to the packet of the small loss class to have the severe request  
to a packet abandon rate. On the other hand, when the waiting time of the  
packet of the small loss class goes over a time T1 to be determined in  
advance, the control circuit 170 outputs the packet with the priority to  
the packet of the small delay class. When the waiting time of the small  
delay class goes over a time T2 to be determined in advance, the packet is  
abandoned.

## ⑩ 公開特許公報(A) 平1-225261

⑤ Int.Cl.<sup>4</sup>

H 04 L 11/20

識別記号

1 0 2

庁内整理番号

A-7830-5K

④ 公開 平成1年(1989)9月8日

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 パケット送信装置

② 特 願 昭63-50808

② 出 願 昭63(1988)3月4日

⑦ 発 明 者 岡 田 忠 信 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦ 発 明 者 大 西 廣 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑦ 代 理 人 弁理士 井出 直孝

## 明 細 書

## 1. 発明の名称

パケット送信装置

## 2. 特許請求の範囲

1. パケットの送信順序を制御する送出行列回路と、この送出行列回路からパケットを取り出して通信回線に転送する送信回路とを備えたパケット送信装置において、

上記送出行列回路は、

遅延時間に厳しい要求をもつ少遅延クラスのパケットをパケット廃棄率に厳しい要求をもつ少紛失クラスのパケットに優先して出力する手段と、

上記少紛失クラスのパケットの待ち時間があらかじめ定められた時間T1を超えたときにそのパケットを上記少遅延クラスのパケットに優先して出力する手段と、

上記少遅延クラスのパケットの待ち時間があらかじめ定められた時間T2を超えたときにそのパケ

ットを破棄する手段と

を含む

ことを特徴とするパケット送信装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はパケット通信に利用する。特に、通信品質に関する要求が異なるパケットを通信回線に送出するパケット送信装置に関する。

〔従来の技術〕

端末装置から供給されるパケットを通信回線に送出するために、パケット送信装置が用いられる。従来のパケット送信装置は、送信しようとするパケットを送出行列としてFIFOメモリに蓄え、このメモリから、到来順にパケットを取り出して通信回線に転送していた。

〔発明が解決しようとする問題点〕

しかし、従来のパケット送信装置では、すべてのパケットを同等に扱うため、遅延時間に対する要求や廃棄率に対する要求が異なるパケットを送

信する場合に問題となる。このような場合に、従来の装置では、双方の最も厳しい値を同時に満足するため、送出行列および通信回線のパケットトラヒックを低い値に抑える必要があった。

本発明は、以上の問題点を解決し、送出行列および通信回線のパケットトラヒックを制限することなく、遅延時間および廃棄率に対する要求が異なるパケットを処理するパケット送信装置を提供することを目的とする。

#### 〔問題点を解決するための手段〕

本発明のパケット送信装置は、送出行列回路に、遅延時間に厳しい要求をもつ少遅延クラスのパケットをパケット廃棄率に厳しい要求をもつ少紛失クラスのパケットに優先して出力する手段と、少紛失クラスのパケットの待ち時間があらかじめ定められた時間T1を越えたときにそのパケットを少遅延クラスのパケットに優先して出力する手段と、少遅延クラスのパケットの待ち時間があらかじめ定められた時間T2を越えたときにそのパケットを破棄する手段とを備えたことを特徴とする。

ック構成図である。

このパケット送信装置は、パケットの送信順序を制御する送出行列回路100と、この送出行列回路100からパケットを取り出して通信回線に転送する送信回路200とを備える。

第2図は送出行列回路100の詳細を示すブロック構成図である。

この送出行列回路100に入力されたパケットは、タイムスタンプ回路110、ヘッダ解釈回路120、書き込み回路130、メモリ回路140および読出し回路150を経由して、送信回路200に出力される。ヘッダ解釈回路120の出力は行列制御回路170に供給され、この行列制御回路170は書き込み回路130および読出し回路150を制御する。タイムスタンプ回路110および行列制御回路170にはクロック回路160からのクロック信号が供給される。

通信回線に送出すべきパケットが送出行列回路100に到着すると、タイムスタンプ回路110は、そのパケットにヘッダフィールドを付加し、そこに、そのパケットの到着時刻を記録する。時刻情

#### 〔作用〕

本発明のパケット送信装置は、通常は、少遅延クラスのパケットを優先的に通信回線に送出する。したがって、パケットの遅延に関する厳しい要求を満足することができる。

このとき、メモリ容量が十分であれば、少紛失クラスのパケットが紛失されることはない。しかし、常に少遅延クラスのパケットを優先的に送出すると、少紛失クラスのパケットがメモリに滞留し、オーバフローの確率が高くなる。また、少紛失クラスのパケットの遅延に対する要求がそれほど厳しくないとはいえ、どれだけ遅延してもよいわけではない。そこで、一定時間が経過した場合には少紛失クラスのパケットを優先して送出する。

さらに、少紛失クラスのパケットを優先するために少遅延クラスのパケットを送出できなくなり、その遅延量が許容範囲を越えた場合には、そのパケットを破棄する。

#### 〔実施例〕

第1図は本発明実施例パケット送信装置のプロ

報はクロック回路160から供給される。

ヘッダ解釈回路120は、遅延時間に厳しい要求をもつパケットと、パケット廃棄率に厳しい要求をもつパケットとを判定し、それぞれを少遅延クラスおよび少紛失クラスに分類する。判定方法としては、パケット発生源側でヘッダにクラス表示を付加することとし、その表示をヘッダ解釈回路120により読み取る。また、ヘッダから論理チャネル番号を読み取り、これをもとにヘッダ解釈回路120内のクラス判別テーブルを検索し、これによりクラスを識別することもできる。この場合に、クラス判別テーブルの内容については、呼接続処理中に設定する。

さらにヘッダ解釈回路120は、到着パケットを書き込み回路130を介してメモリ回路140に書き込むとともに、そのパケットのクラス種別および到着時刻を含む到着信号aを行列制御回路170に出力する。

メモリ回路140はクラス別のFIFOメモリを含む。

行列制御回路170は、メモリ回路140の読出しを制御することにより、遅延時間に厳しい要求をもつ少遅延クラスのペケットをペケット廃棄率に厳しい要求をもつ少紛失クラスのペケットに優先して出力する手段と、少紛失クラスのペケットの待ち時間があらかじめ定められた時間T1を超えたときにそのペケットを上記少遅延クラスのペケットに優先して出力する手段と、少遅延クラスのペケットの待ち時間があらかじめ定められた時間T2を超えたときにそのペケットを破棄する手段とを実現する。

第3図は行列制御回路170の詳細を示すブロック構成図である。

ヘッダ解釈回路120、書込み回路130および読出し回路150は、シーケンサ回路171を介してアドレス演算回路172に接続される。アドレス演算回路172は、制御メモリ回路173、滞留時間判定回路174およびタイマ回路175に接続される。

シーケンサ回路171は、ヘッダ解釈回路120からの到着信号aを受信し、他の回路から到来する

信号との競合制御を行った後に、メモリ要求信号bに変換してアドレス演算回路172に出力する。メモリ要求信号bは、クラス種別および到着時刻の情報を含む。

アドレス演算回路172は、メモリ回路140に記憶される送出行列の読み込みおよび取り出しを制御する回路であり、メモリ回路140内の各ペケットの格納アドレス、到着時刻および空き領域のアドレスを制御メモリ回路173に格納している。このアドレス演算回路172がシーケンサ回路171からのメモリ要求信号bを受け取ると、制御メモリ回路173の内容をもとに、到着したペケットのためのメモリ回路140内の格納アドレスを算出し、アドレス信号cとしてシーケンサ回路171に返送するとともに、制御メモリ回路173の内容を変更する。

シーケンサ回路171は、アドレス信号cを受け取ると、書込み回路130に書込み命令dを出力する。この書込み命令dにより、書込み回路130が、メモリ回路140の指定されたアドレスに到着ペケ

ットを格納する。

メモリ回路140から送信回路200へのペケットの読出し、またはペケットの廃棄については、書込みと独立に行う。ひとつのペケットの読出しまたは廃棄が完了すると、読出し回路150は、シーケンサ回路171に処理完了信号eを送出する。

シーケンサ回路171は、処理完了信号eを受け取ると、他の回路からの信号との競合制御を行った後に、アドレス演算回路172にペケット送出要求信号fを出力する。アドレス演算回路172は、このペケット送出要求信号fを受け取ると、少遅延クラスおよび少紛失クラスのFIFOメモリの先頭ペケットについて、それぞれの待ち時間を判定するために、滞留時間判定回路174に判定依頼信号gを出力する。

滞留時間判定回路174は、判定依頼信号g内の時刻情報と、タイマ回路175から取得した現在時刻とから、そのペケットの行列内滞留時間を算出する。さらに滞留時間判定回路174は、少紛失クラスのペケットの待ち時間があらかじめ定められ

た時間T1を超えているか否か、および少遅延クラスの待ち時間があらかじめ定められた時間T2を超えているか否かを判定し、この結果により、超えているか否か、超えているならどちらのクラスのペケットか（双方ともに超えている場合もある）を結果信号hとしてアドレス演算回路172に返送する。

アドレス演算回路172は、結果信号hにより、

- ① 少紛失クラスおよび少遅延クラスの双方の先頭ペケットの待ち時間がそれぞれ時間T1、T2以下のときには、少遅延クラスの先頭ペケットについて、その格納アドレスをペケット送出指示iに設定し、
- ② 少遅延クラスの先頭ペケットの待ち時間が時間T2を超えている場合には、そのペケットの格納アドレスをペケット廃棄指示jに設定し、
- ③ 少紛失クラスの先頭ペケットの待ち時間が時間T1を超えている場合には、そのペケットの格納アドレスをペケット送出指示iに設定し、
- ④ 少紛失および少遅延の双方のクラスの先頭パ

ケットの待ち時間がそれぞれ時間 $T1$ 、 $T2$ を越えている場合には、少紛失クラスのケットについてその格納アドレスをケット送出指示 $i$ に設定し、その後、少遅延クラスのケットについてその格納アドレスをケット廃棄指示 $j$ に設定して、

これらの指示をシーケンサ回路171に出力する。

シーケンサ回路171は、ケット送信指示 $i$ またはケット廃棄指示 $j$ をもとに、読出し回路150に読出し命令 $k$ または廃棄命令 $l$ を出力する。

読出し回路150は、これらの命令により指定された格納アドレスからケットを読み出し、送信回路200への出力処理、または廃棄処理を行い、その後処理完了信号 $e$ をシーケンサ回路171に返送する。

以上の行列制御回路の制御の流れを第4図および第5図に示す。第4図はケット書込みの制御を示し、第5図は読出しケット決定の制御を示す。

第3図は行列制御回路の詳細を示すブロック構成図。

第4図は行列制御回路のケット書込み制御の流れを示す図。

第5図は行列制御回路の読出しケット決定の制御の流れを示す図。

100 … 送出行列回路、110 … タイムスタンプ回路、120 … ヘッダ解釈回路、130 … 書込み回路、140 … メモリ回路、150 … 読出し回路、160 … クロック回路、170 … 行列制御回路、171 … シーケンサ回路、172 … アドレス演算回路、173 … 制御メモリ回路、174 … 滞留時間判定回路、175 … タイマ回路、200 … 送信回路。

特許出願人 日本電信電話株式会社  
代理人 弁理士 井出直孝

〔発明の効果〕

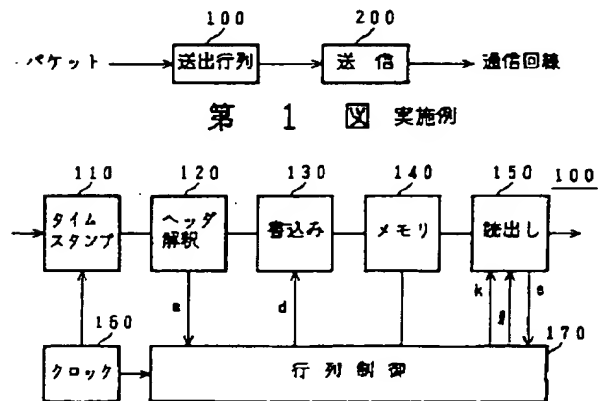
以上説明したように、本発明のケット送信装置は、通常は少遅延クラスのケットを優先的に送出するので、これらのケットの遅延に関する厳しい要求を満足することができる。また、少紛失クラスのケットが長時間にわたり送出行列に滞留している場合には、そのケットを優先的に送出し、メモリ回路のオーバーフローによるケット紛失を防止できる。

したがって、本発明のケット送信装置は、ケットトラヒックを制限することなく、遅延時間に対する要求と廃棄率に対する要求とが異なるケットを処理することができ、ケット通信の利用範囲を広めることができる効果がある。

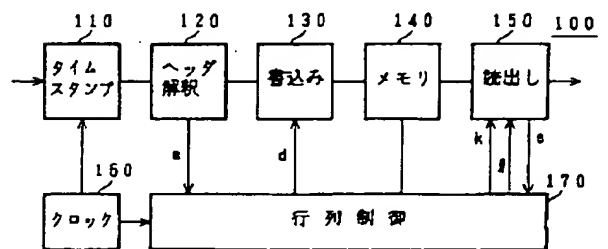
#### 4. 図面の簡単な説明

第1図は本発明実施例ケット送信装置のブロック構成図。

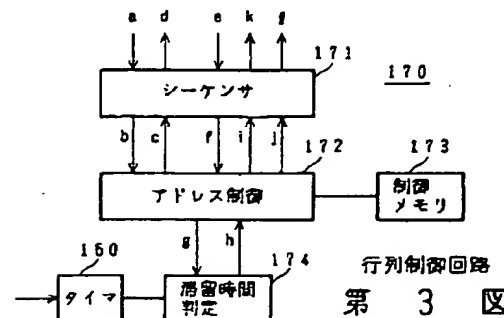
第2図は送出行列回路の詳細を示すブロック構成図。



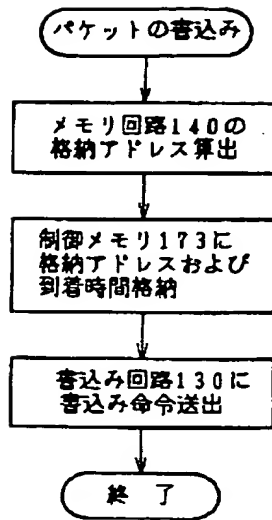
第1図 実施例



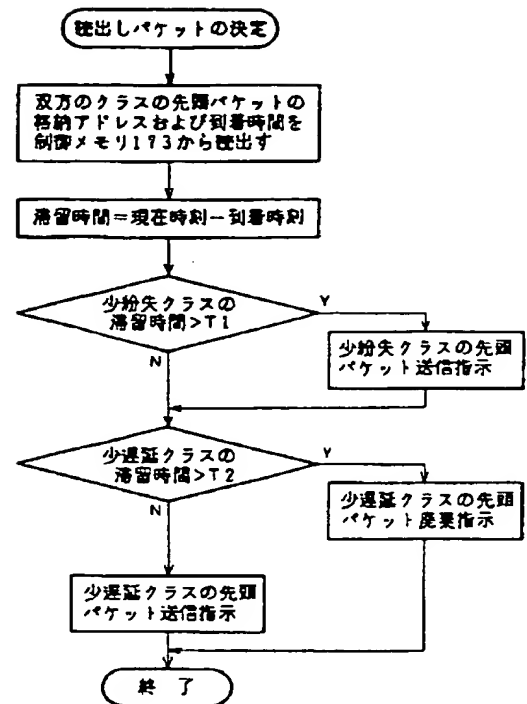
第2図 送出行列回路



第3図



第 4 図



第 5 図